

MANUFACTURE OF SILICON CARBIDE SEMICONDUCTOR DEVICE

Patent Number: JP10112460
Publication date: 1998-04-28
Inventor(s): UENO KATSUNORI
Applicant(s): FUJI ELECTRIC CO LTD
Requested Patent: ☐ JP10112460
Application Number: JP19970165471 19970623
Priority Number(s):
IPC Classification: H01L21/316
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To reduce the interface level density after formation of a thermal oxide film of a silicon carbide semiconductor device.

SOLUTION: The anneal time in inert gas after thermal oxidation is made under two hours. Moreover, it will do to heat-treat the thermal oxide film made once in gas including hydrogen atoms such as hydrogen, water, or the like at a low temperature of 300-500 deg.C. Furthermore, after thermal oxidation and in one part at least of the cooling period after heat-treatment process and thermal oxidation, the gas including hydrogen atoms is made atmosphere.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-112460

(43) 公開日 平成10年(1998) 4月28日

(51) Int.Cl.⁸

H 0 1 L 21/316

識別記号

F I

H 0 1 L 21/316

S

審査請求 未請求 請求項の数 6 O L (全 5 頁)

(21) 出願番号 特願平9-165471

(22) 出願日 平成9年(1997) 6月23日

(31) 優先権主張番号 特願平8-211796

(32) 優先日 平8(1996) 8月12日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 上野 勝典

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

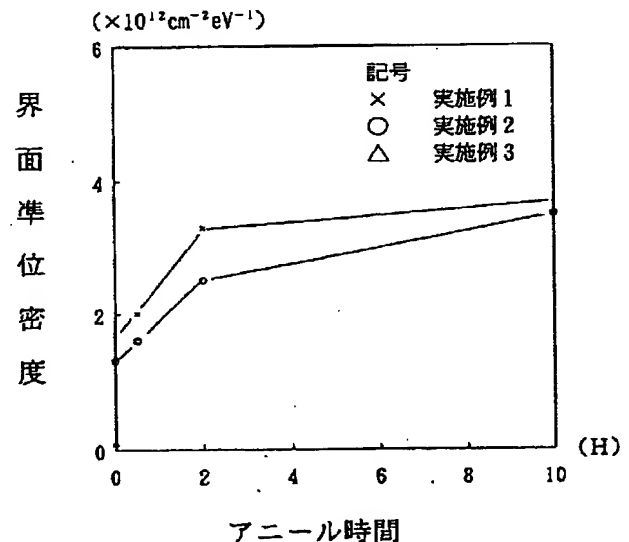
(74) 代理人 弁理士 山口 巖

(54) 【発明の名称】 炭化ケイ素半導体装置の製造方法

(57) 【要約】

【課題】 炭化ケイ素半導体装置の熱酸化膜形成後の界面準位密度を低減する。

【解決手段】 熱酸化後の不活性ガス中のアニール時間を2時間未満とする。また、一度形成した熱酸化膜を300～500℃の低温で水素や、水等の水素原子を含むガス中で熱処理するのによい。更にまた、熱酸化後および熱酸化後の熱処理工程後の冷却期間の少なくとも一部で、水素原子を含むガスを雰囲気とする。



【特許請求の範囲】

【請求項1】炭化ケイ素表面に熱酸化によってシリコン酸化膜を形成する熱酸化膜形成工程を有する炭化ケイ素半導体装置の製造方法において、前記熱酸化後、不活性ガス雰囲気中で行うアニールは2時間より短くすることを特徴とする炭化けい素半導体装置の製造方法。

【請求項2】炭化ケイ素表面に熱酸化によってシリコン酸化膜を形成する熱酸化膜形成工程と前記熱酸化後に不活性ガス雰囲気中で行うアニール工程を有する炭化ケイ素半導体装置の製造方法において、前記不活性ガス雰囲気中で行うアニール工程後、水素原子を含むガス雰囲気中で、300～500℃の範囲でアニールする工程を有することを特徴とする炭化ケイ素半導体装置の製造方法。

【請求項3】炭化ケイ素表面に熱酸化によってシリコン酸化膜を形成する熱酸化膜形成工程を有する炭化ケイ素半導体装置の製造方法において、前記熱酸化膜形成工程中の熱酸化後の冷却過程および熱酸化膜形成工程後に行う熱処理工程の冷却過程の少なくとも一部の期間に、水素原子を含むガスによって雰囲気を形成することを特徴とする炭化ケイ素半導体装置の製造方法。

【請求項4】炭化ケイ素表面に熱酸化によってシリコン酸化膜を形成する熱酸化膜形成工程を有する炭化ケイ素半導体装置の製造方法において、前記熱酸化形成工程は、前記熱酸化と、少なくとも一部の期間に水素原子を含むガス雰囲気中で行う冷却と、からなることを特徴とする炭化ケイ素半導体装置の製造方法。

【請求項5】水素原子を含むガスが水素であることを特徴とする請求項2ないし4のいずれかに記載の炭化ケイ素半導体装置の製造方法。

【請求項6】水素原子を含むガスが水であることを特徴とする請求項2ないし4のいずれかに記載の炭化ケイ素半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、炭化ケイ素を用い、MOS（金属-酸化膜-半導体）構造を有する炭化ケイ素半導体装置の製造方法に関する。

【0002】

【従来の技術】最近、炭化ケイ素（以下SiCと略す）を基板結晶として用いたMOS型電界効果トランジスタ（以下MOSFETと記す）の試作がおこなわれている。これは、SiCがシリコンに比べて、バンドギャップが大きくまた比電界強度が大きいことから、高耐圧、大電流を制御する電力用半導体装置の特性改善が期待されることと、6H-SiCや4H-SiCなどの単結晶が、かなり高品質で製造できるようになってきたことによる。これらは、閃亜鉛鉱型とウルツ鉱型とが積層された形のアルファ相SiCである。また、MOSFETだけではなく、バイポーラ素子である絶縁ゲートバイポー

ラトランジスタ（以下IGBTと略す）の検討も始められている。

【0003】これらのデバイスは、絶縁膜上の電極に電圧を印加することによって、絶縁膜の下の半導体表面にチャネルを形成し、電流を制御するMOS型半導体装置である。最近のシリコンLSIもMOS構造を利用したデバイスが重要となっているが、シリコン半導体装置では、シリコン基板表面に熱酸化により形成したシリコン酸化膜を絶縁膜として利用している。

【0004】SiCはシリコンと同様に、熱酸化により、良好な半導体-絶縁膜界面をもつシリコン酸化膜が得られ、そのシリコン酸化膜をゲート絶縁膜や安定化膜として利用することができることから、これらのデバイスへの応用が容易である。

【0005】

【発明が解決しようとする課題】ところが、SiCにおいては、熱酸化によってシリコン酸化膜を形成した場合、シリコン酸化膜とSiCとの間に発生する界面準位密度がシリコン基板の場合と比較して非常に多いという報告が、多数なされている。[例えば、Shenoy, J.N. 他: J. of Electron Materials, Vol. 24, (1995) p.303]

界面準位密度が多いことは、極く表面に近い部分の電子を制御するMOS型半導体装置にとって、致命的であり、界面準位密度を減少させる試みが、幾つかなされている。ここで、以下の説明を容易にするため、酸化工程について説明する。

【0006】図2は、典型的な酸化工程の、温度変化を表すフローチャートである。すなわち、横軸は時間、縦軸は温度を表している。温度T1において試料を酸化炉に導入し、その後、炉の温度を酸化温度T2まで上昇させる工程が、Aのプロセスである。その後、温度T2でt1の時間だけ酸化をおこなう。この際、炉内には、酸化性雰囲気としてスチームや、水蒸気を含ませた酸素であるウェット酸素、或いは水蒸気を含まないドライ酸素などが流される。この工程Bが、酸化工程となる。そのあと、酸化と同一温度、またはそれ以外の温度において、例えば窒素やアルゴン等の不活性ガス中でのアニール工程を経て、炉は冷却され、最後に試料が炉から取り出される。これが最後の工程Cである。一般にシリコン半導体装置の製造工程においては、界面準位密度の低減等のため、不活性ガス中でのアニールが必要とされている。図では、アニール時間をt2として示した。又、図では、アニールを酸化温度と同一としたが、変えても良い。

【0007】上記の界面準位密度を減少させる試みはいくつかある。von Kamienski E. S. 他: Materials Sci. and Eng. B29, (1995) p.131 では、ウェット酸化が、ドライ酸化より良好なことが示され、また Lipkin L. A. 他: Proc. 26th IEEE Semicond. Interface Specialist Conf. (1995) p.131においては、酸化温度より低い

温度において、追加のウェット酸化をおこなうことが界面準位の低減に良いとしている。

【0008】このような試みがあるものの、界面準位は依然として高い水準にあり、その改善が要望されている。以上の問題に鑑み本発明の目的は、界面準位を低減した炭化ケイ素半導体装置の熱酸化膜形成方法を提供することにある。

【0009】

【課題を解決するための手段】上記課題解決のため本発明は、炭化ケイ素表面に熱酸化によってシリコン酸化膜を形成する熱酸化膜形成工程を有する炭化ケイ素半導体装置の製造方法において、前記熱酸化後、不活性ガス雰囲気中で行うアニールを2時間より短いものとする。

【0010】不活性ガス雰囲気中でのアニールの影響を説明するメカニズムの詳細は不明であるが、後述の実験結果が示すように、アニールを行うことにより界面準位密度が上昇する。また、炭化ケイ素表面に熱酸化によってシリコン酸化膜を形成する熱酸化膜形成工程を有する炭化ケイ素半導体装置の製造方法において、前記熱酸化により酸化膜を形成した後でかつ、不活性雰囲気中でアニールを行った後、水素原子を含むガス雰囲気中で、300～500℃の範囲でアニールするものとする。

【0011】そのようにすれば、後述の実験結果が示すように、界面準位密度が約20%減少する。温度範囲としては、下は300℃から、金属が融解しない程度の温度、例えば、最も一般的な金属としてAlを使用するのであれば、上は500℃程度が望ましい。更に、酸化終了後の冷却過程および熱酸化膜形成工程後に行う熱処理後の冷却過程の少なくとも一部の期間に、水素、或いは水等の水素原子を含むガスによって雰囲気を形成することが最も良い。

【0012】そのようにすれば、後述の実験結果が示すように、界面準位密度が大幅に減少する。メカニズムの詳細は不明である。

【0013】

【発明の実施の形態】上記課題解決のため本発明の炭化ケイ素半導体装置の製造方法は、熱酸化後の不活性ガス雰囲気中でのアニール時間、この不活性ガス雰囲気中でのアニール後の低温熱処理、或いは熱酸化後の冷却時の雰囲気等を吟味することによって、MOS型半導体装置の重要な特性である界面準位密度を低減するものである。

【0014】以下図面を参照しながら、本発明の実施の形態を説明する。

【実施例1】 $1 \times 10^{16} \text{ cm}^{-3}$ のキャリア濃度のAlドープ、面方位(0001)シリコン面のp型SiCを用いた。炉の昇温時には、ドライ酸素を流しているが、これは、ウェット雰囲気でも不活性雰囲気でも構わない。95℃の熱水中に酸素をバブルさせたウェット酸素で1100℃、5時間、ウェット酸化をおこない、厚さ35

nmの酸化膜を成長させた。雰囲気ガスを乾燥窒素に変え、0～10時間のアニールをおこない、乾燥窒素中で冷却した。

【0015】得られた試料の界面準位密度を図1に示す。横軸に酸化後のアニール時間を、縦軸に得られた界面準位密度を示したものである。窒素ガス雰囲気中でのアニールによって界面準位密度が上昇することがわかった。熱酸化工程での不活性雰囲気中でのアニールは、時間0が最良であることがわかる。

【0016】しかしながら、熱酸化工程後には様々な熱処理工程がありうる。例えば、ゲートポリシリコンを熱酸化膜の上に堆積した場合、ポリシリコンへの不純物ドーピング、金属とのオーミックを形成するための合金化熱処理などが考えられる。これらの熱処理は通常1000℃前後で行われる。よって、今回得られた実験結果から酸化工程および酸化工程後の熱処理工程において、不活性ガス雰囲気中でのアニールを行う場合、その時間の総和は2時間以内とすることが望ましい。

【実施例2】実施例1の試料を、改めて水素を10%含む窒素雰囲気中で400℃で1時間アニールした。得られた試料の界面準位密度を図1に示す。横軸は、アニール時間、縦軸は界面準位密度である。

【0017】この結果から、明らかに界面準位密度が全体的に減少している様子がわかる。例えば、2時間アニールした試料の界面準位密度は、 $3.3 \times 10^{12} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ から、 $2.5 \times 10^{12} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ と約25%の減少が見られる。この事実は、何らかの問題で酸化後の界面準位密度が悪かった場合に、ゲート電極を形成したあとでも界面準位密度を改善する方法を与えている。

【0018】今回の実験では、400℃において実施したが、これは必ずしも重要な条件ではない。すなわち、温度が低ければ、アニール時間を長く設定すればよく、また、温度が高ければアニール時間を短くすれば良い。実用的な温度としては、下は300℃、上は金属が融解しない程度の温度、例えば、Alを使用するのであれば、500℃程度が望ましい。アニール時間としては、30分間～2時間程度の範囲から選択して行うことが望ましい。

【実施例3】実施例1と同じSiC基板を用い、同じ条件のウェット酸化で厚さ35nmの酸化膜を成長させた。その後、試料の冷却期間においても、ウェット雰囲気にした。

【0019】得られた試料の界面準位密度は、 $1 \times 10^{11} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ と著しい減少が見られた。(図1中の三角印)この事実は、Lipkinの論文の結果と似ているように思われるが、Lipkinの方法は、低温で追加の酸化を行い、その温度は950℃が最適という結果になっており、水素原子を含む雰囲気中で冷却するだけの本発明の方法は、明らかに異質の実験結果とみることができる。すなわち、ここで得られた実験事実は、全く新規なもの

であることがわかる。

【実施例4】同じSiC基板を用い、同様にウェット酸化をおこなった後、10%の水素を含む窒素中で冷却した。

【0020】得られた試料の界面準位密度は、 $1 \times 10^{11} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ であった。この結果から、冷却過程中的雰囲気は還元性でもよく、水素原子の存在が重要であることを示している。以上の結果は、アニールにおいては水素が重要であるという結論に帰着する。すなわち、酸化後に温度を下げる場合にも水素の入ったガスを用いるべきことがわかる。その代用手段として、水素原子を含む水を用いたのが本発明の一つの重要なポイントである。もちろん、水素でもよいことは本発明の最後に指摘した点からも明らかであるが、1000℃近くの高温で水素を用いることは危険であるから、水を用いただけであって、水素原子を含むガスであればよい。水素原子の含有量としては10%以上が望ましい。

【0021】尚ウェット酸化の例のみを示したが、スチーム酸化やドライ酸化の試料においても、本発明の熱処理方法で界面準位密度の大幅な低減がなされることを確認した。

【0022】

【発明の効果】以上説明したように本発明によれば、炭化ケイ素半導体装置の熱酸化膜形成方法は、熱酸化後のアニール時間、一度形成した熱酸化膜の低温熱処理、或いは熱酸化後の冷却時の雰囲気等を吟味することによって、界面準位密度を低減することができる。

【0023】界面準位密度はMOS型半導体装置の重要な特性であり、本発明によりその密度を低減することは、炭化ケイ素のMOS型半導体装置の実用化に資するところ大である。

【図面の簡単な説明】

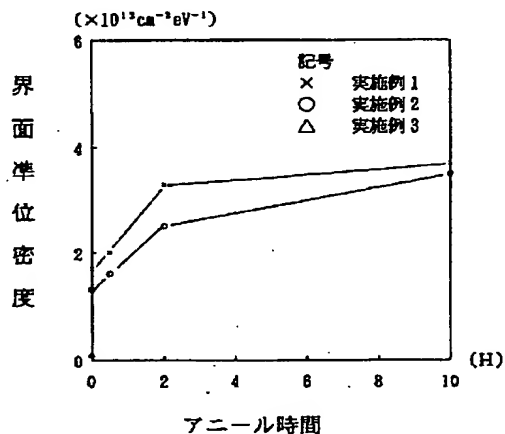
【図1】本発明第一、第二、第三の実施例の界面準位密度特性図

【図2】熱酸化工程の温度フローチャート

【符号の説明】

A	昇温期間
B	酸化期間
C	アニール期間
t1	酸化時間
t2	アニール時間
T1	挿入温度
T2	酸化温度

【図1】



【図2】

